

# AN12564

## 在 i.MX RT 系列上实现 RWW

Rev. 0 — September 2019

应用笔记

### 1 介绍

通常，某些应用程序需要在闪存中运行，同时还需要读写闪存中的数据，实现边读边写(RWW)。i.MX RT具有高性能，支持丰富的外围设备，并且可以连接众多存储设备，包括Quad SPI闪存，超级闪存，串行 NAND及并行 NAND闪存。它还提供了更多选项以满足客户需求。本应用笔记旨在介绍如何在i.MXRT系列上实现RWW要求。

### 2 概览

要实现RWW，本质上需要Flash支持这项功能，但是大多数Flash不具有此功能。实现RWW的另一种方法是基于通用闪存设备，本文档将会介绍如何实现RWW。

i.MX RT是一种无闪存微控制器，Quad SPI闪存是固件存储的常见选择，也有一些应用程序会在该闪存中保存数据，但它只有一个模块和接口。带来的一个限制就是只有闪存空闲时，它才响应其他闪存命令，这意味着它必须将闪存写入函数分配到其他存储器（当前正在写入的闪存除外，通常分配到内部SRAM），并禁用中断以避免任何意外的闪存访问，直到写入操作完成。由于写入操作在大多数闪存设备中花费了比较多的时间，比如在大多数闪存部分中写完一页程序需要0.4 ms的时间，而在扇区擦除上需要更多的时间。长时间禁用中断是不可接受的，尤其是某些应用需要中断及时响应时，使用RWW功能就非常有用。

在i.MX RT系列上实现RWW的解决方案有两种，一种是选择支持RWW功能的Flash；另一种是使用多个Flash来实现此功能。以下各章详细介绍了RWW的实现。

### 3 RWW 实现

本章介绍基于 FlexSPI 接口如何实现RWW，该接口可以与Quad SPI 闪存，八进制闪存和超级闪存连接，这也是i.MX RT系列的常用用法。

#### 3.1 多闪存实现 RWW

i.MX RT可以用一个 FlexSPI 接口的多个片选线连接多达多达4个闪存设备。它还支持总线仲裁，这在 RWW 应用中非常有帮助。有关四个闪存设备的连接，请参见 [Figure 1](#)。

#### 内容

1 介绍.....	1
2 概览.....	1
3 RWW 实现.....	1
3.1 多闪存实现	
RWW.....	1
3.2 RWW 专用闪存设备.....	7
4 总结.....	7
5 修订历史.....	7



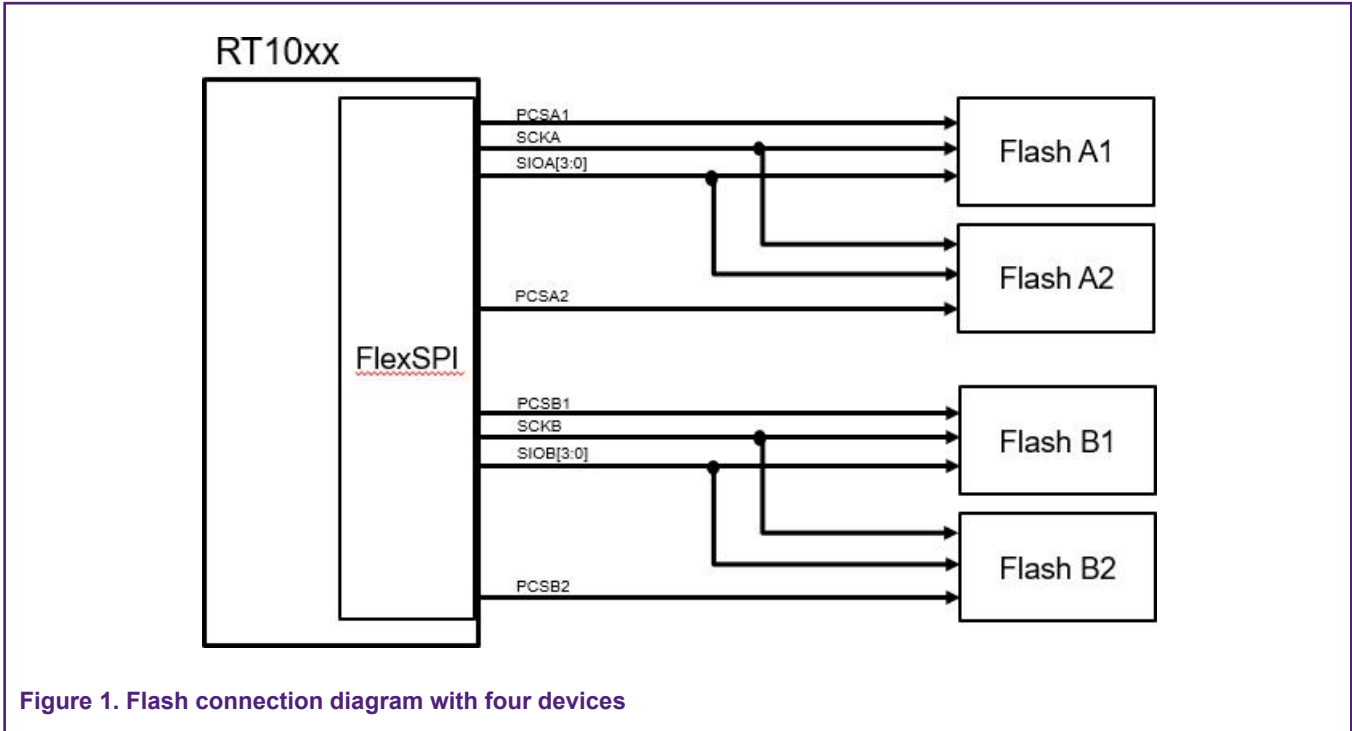


Figure 1. Flash connection diagram with four devices

通常，用户可以将Flash A1和Flash A2连接到 FlexSPI 的端口A来实现RWW功能。或者，将Flash A1和Flash B1分别连接到端口A和端口B。闪存A1用于代码存储和运行，另一闪存用于数据存储。如果连接到相同的端口，则必须使用同一个闪存设备，并保持相同的闪存时序。这样连接的优点是，两个端口可以通过 DLLACR 或 DLLBCR 寄存器为两个闪存设备设置不同的时序。

下面介绍通过连接两个闪存设备如何实现RWW。

### 3.1.1 硬件设置

Figure 2 显示了如何在同一端口上连接双 QSPI 闪存，以及如何为这两个QSPI闪存连接不同的PCS:

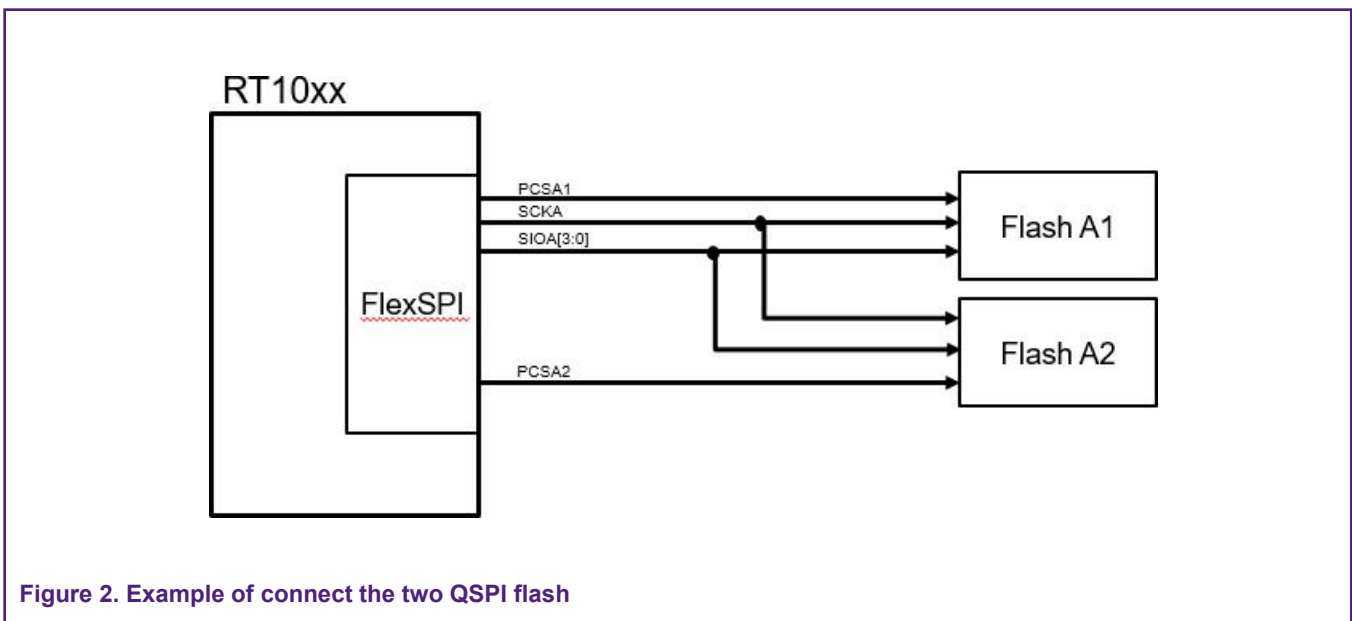


Figure 2. Example of connect the two QSPI flash

Figure 3 展示了引脚分配:

QSPI Flash	IO functions	ALT	Pins assignment	Comments
Flash A1	flexspi.A_SS0_B	1	GPIO_SD_B1_06	no special requirement to FlexSPI_A_SS1 pin assignemnt, user can assign it by applications.
	flexspi.A_SCLK	1	GPIO_SD_B1_07	
	flexspi.A_DATA[0]	1	GPIO_SD_B1_08	
	flexspi.A_DATA[1]	1	GPIO_SD_B1_09	
	flexspi.A_DATA[2]	1	GPIO_SD_B1_10	
	flexspi.A_DATA[3]	1	GPIO_SD_B1_11	
Flash A2	flexspi.A_SCLK	1	GPIO_SD_B1_07	
	flexspi.A_DATA[0]	1	GPIO_SD_B1_08	
	flexspi.A_DATA[1]	1	GPIO_SD_B1_09	
	flexspi.A_DATA[2]	1	GPIO_SD_B1_10	
	flexspi.A_DATA[3]	1	GPIO_SD_B1_11	
	flexspi.A_SS1_B	6	GPIO_SD_B0_00	
		4	GPIO_SD_B1_04	

**Figure 3. Two QSPI flash pins connections**

Flash A1是启动设备，因此它必须连接到默认启动引脚，Flash A2芯片选择可能会根据应用重新映射到其他引脚。用户可以自由更改。

### 3.12 软件设计

ROM可以通过闪存配置模块信息配置两个QSPI闪存。可以修改 xip 来更改闪存配置块。修改xip文件支持双 QSPI 闪存的一个示例如下所示：

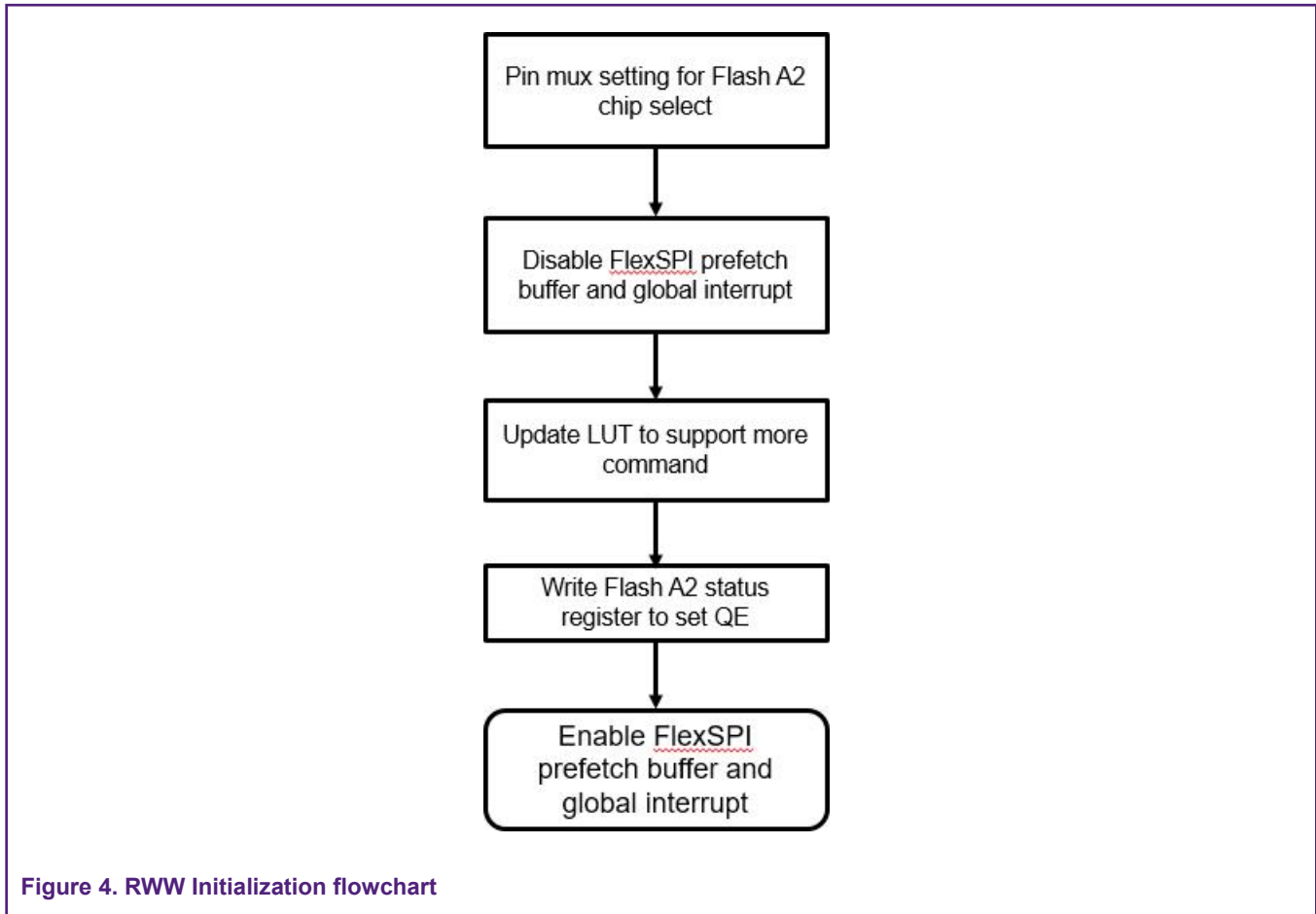
```
.sflashA2Size = 8u * 1024u * 1024u,
```

在 qspiflash\_config 结构中添加代码以定义闪存 A2 的大小，也可以在随附的示例代码中找(evkmimxrt1060\_flexspi\_nor\_config.c), ROM可以根据QSPI flash (A1) 中保存的闪存配置模块配置 FlexSPI 以启用A1和A2。

#### NOTE

默认情况下，ROM 将 GPIO\_SD\_B0\_00 配置为 Flash A2 的 SS1. 如使用其他引脚作为A2 芯片选择引脚，则首先尝试禁用 GPIO\_SD\_B0\_00 引脚，然后为所选引脚配置正确的引脚和焊盘。

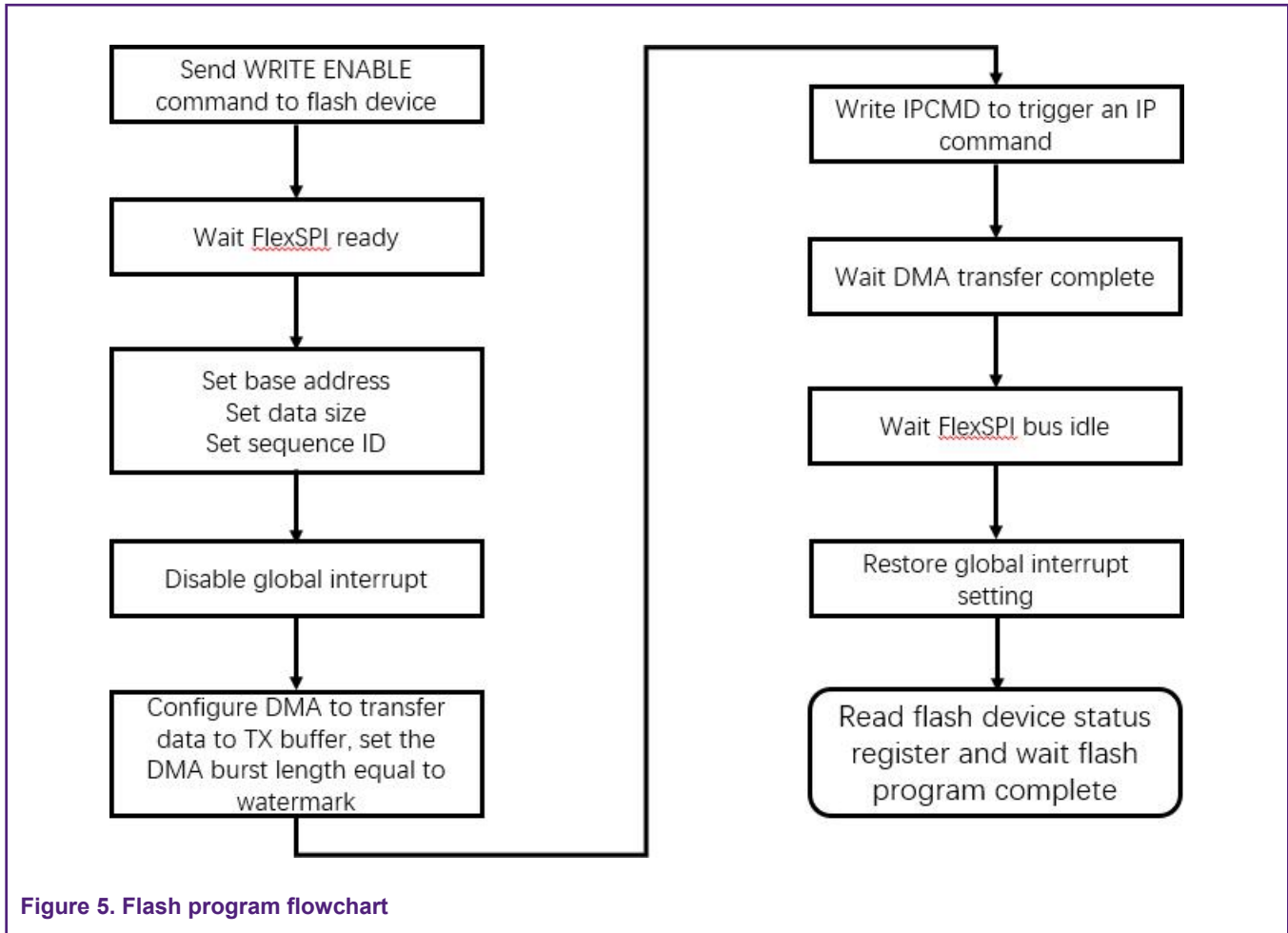
要启用RWW功能，请更新LUT，并添加用于闪存操作的API函数。基本初始化流程如 Figure 4 所示：

**NOTE**

在更新 LUT 之前, 需要通过 SWRESET 位来进行软件复位, 然后将更新 LUT 的代码分配到内部 SRAM, 这样做是为了避免访问冲突。

闪存擦除API函数的通用代码也用于 RWW 的实现, 可在SDK中找到。对于闪存编程, 因为它只有一个FlexSPI接口, 所以如果用CPU传输数据, 则会产生硬故障。为避免此问题, 一种方法是使用DMA代替CPU进行数据传输。

请参考下面的示例代码和流程图:



当一条新的IP命令触发时，通过总线仲裁会停止AHB命令，在 FlexSPI 完成IP命令执行并进入空闲状态后，它将继续中断的命令。以闪存编程命令为例，当发出编程命令时，它会暂停其他AHB命令，包括预取操作，在完成编程命令和数据（一个页面大小）的发送后，它将恢复先前暂停的命令，在命令和数据传输的过程需要关闭中断，下面用一个GPIO来测量该持续时间，在启用quad 模式时，QSPI闪存工作在133 Mhz的速度下需要6 us.

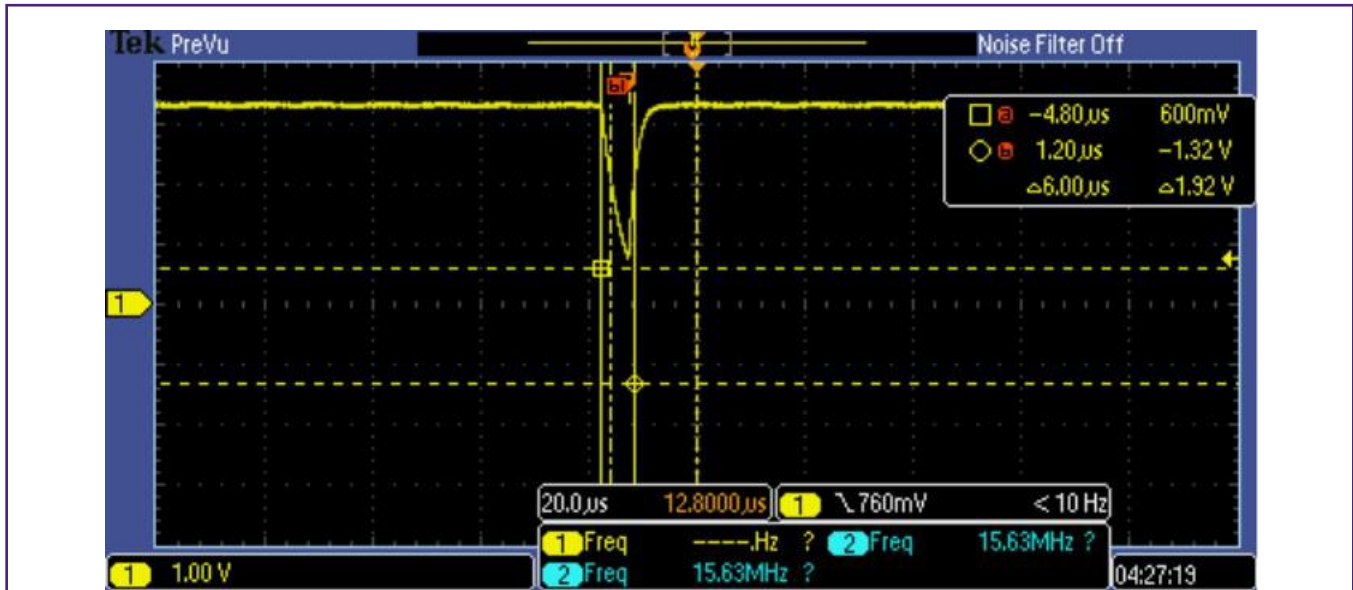


Figure 6. Measurement of one page data transferring

缓存可以帮助提高性能，但是有可能在RWW测试中掩盖了可能出现的问题。为了验证它是否真的可以在RWW下正常工作，示例代码还进行了一些禁用高速缓存和预取缓冲区的测试，用来检查以上介绍的方案仍然可以正常工作。

代码片段如下：

```
EDMA_StartTransfer(&g_EDMA_FlexSPITxHandle);
base->IPTXFCR |= FLEXSPI_IPTXFCR_TXDMAEN_MASK;
base->IPCMD |= FLEXSPI_IPCMD_TRG_MASK;
while(!(FLEXSPI_DMA->TCD[FLEXSPI_DMA_TX_CHANNEL].CSR & DMA_CSR_DONE_MASK));
```

Figure 7. Snippet code of flash programming

禁用 ICACHE 和 DCACHE 后测试结果如下。

```
RWW test start ...
Disable DCACHE and ICACHE
start erase flash with address 0x60800000.

erase succeeded!
start program flash with address 0x60800000.

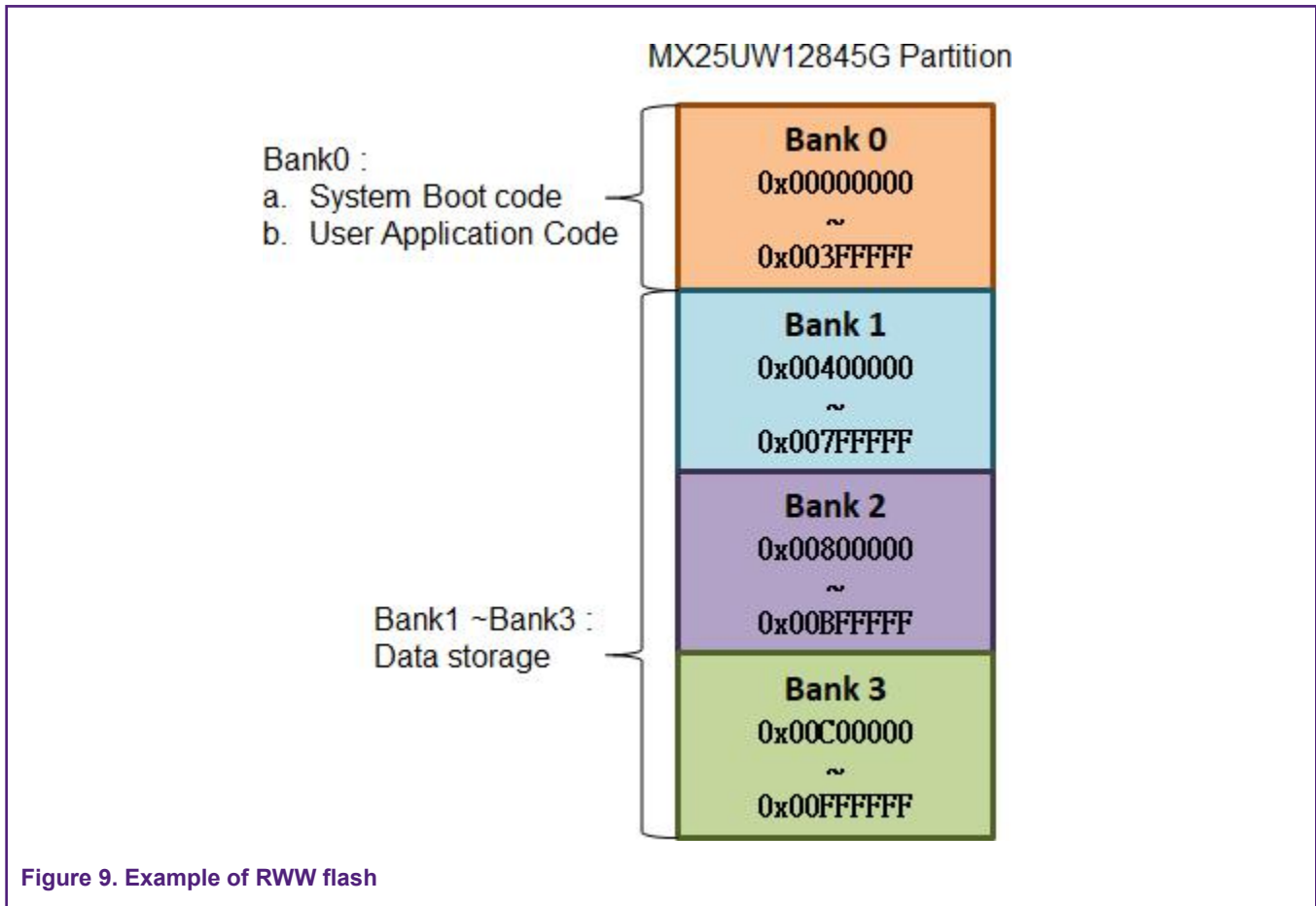
page program succeeded!

check flash address 0x60800000 contents.
FlexSPI read/write successfully!
```

Figure 8. RWW test result

## 3.2 RWW 专用闪存设备

一些供应商提供了支持RWW功能的专用闪存，例如MX25UW12845G，它支持多存储区以实现RWW功能。Figure 9 显示了此闪存设备的闪存分区。



Bank 0可用于存储固件，Bank 1至Bank 3可用于存储数据，Figure 9 展示了不同 Bank 的地址范围。

硬件连接没有变化，它与通用闪存设备完全兼容，MX25UW12845G 是8-线闪存，可以使 FlexSPI 工作在组合模式以支持8-线闪存，有关8-线闪存启动请参考 AN12107。

对于MX25UW1284 5G的软件，请参阅第3.1.2章进行修改。

## 4 总结

本应用笔记介绍了如何基于i.MX RT系列实现RWW。它提供了一种采用双 QSPI 闪存实现RWW的方法。这对于客户而言非常有用，因为它可以在某些应用程序中实现边读边写的低成本解决方案。

## 5 修订历史

**Table 1. Revision history**

Revision number	Date	Substantive changes
0	09/2019	Initial release



## How To Reach Us

### Home Page:

[nxp.com](http://nxp.com)

### Web Support:

[nxp.com/support](http://nxp.com/support)

Information in this document is provided solely to enable system and software implementers to use NXP products. There are no express or implied copyright licenses granted hereunder to design or fabricate any integrated circuits based on the information in this document. NXP reserves the right to make changes without further notice to any products herein.

NXP makes no warranty, representation, or guarantee regarding the suitability of its products for any particular purpose, nor does NXP assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters that may be provided in NXP data sheets and/or specifications can and do vary in different applications, and actual performance may vary over time. All operating parameters, including "typicals," must be validated for each customer application by customer's technical experts. NXP does not convey any license under its patent rights nor the rights of others. NXP sells products pursuant to standard terms and conditions of sale, which can be found at the following address: [nxp.com/SalesTermsandConditions](http://nxp.com/SalesTermsandConditions).

While NXP has implemented advanced security features, all products may be subject to unidentified vulnerabilities. Customers are responsible for the design and operation of their applications and products to reduce the effect of these vulnerabilities on customer's applications and products, and NXP accepts no liability for any vulnerability that is discovered. Customers should implement appropriate design and operating safeguards to minimize the risks associated with their applications and products.

NXP, the NXP logo, NXP SECURE CONNECTIONS FOR A SMARTER WORLD, COOLFLUX, EMBRACE, GREENCHIP, HITAG, I2C BUS, ICODE, JCOP, LIFE VIBES, MIFARE, MIFARE CLASSIC, MIFARE DESFire, MIFARE PLUS, MIFARE FLEX, MANTIS, MIFARE ULTRALIGHT, MIFARE4MOBILE, MIGLO, NTAG, ROADLINK, SMARTLX, SMARTMX, STARPLUG, TOPFET, TRENCHMOS, UCODE, Freescale, the Freescale logo, AltiVec, C-5, CodeTEST, CodeWarrior, ColdFire, ColdFire+, C-Ware, the Energy Efficient Solutions logo, Kinetis, Layerscape, MagniV, mobileGT, PEG, PowerQUICC, Processor Expert, QorIQ, QorIQ Converge, Ready Play, SafeAssure, the SafeAssure logo, StarCore, Symphony, VortiQa, Vybrid, Airfast, BeeKit, BeeStack, CoreNet, Flexis, MXC, Platform in a Package, QUICC Engine, SMARTMOS, Tower, TurboLink, UMEMS, EdgeScale, EdgeLock, eIQ, and Immersive3D are trademarks of NXP B.V. All other product or service names are the property of their respective owners. AMBA, Arm, Arm7, Arm7TDMI, Arm9, Arm11, Artisan, big.LITTLE, Cordio, CoreLink, CoreSight, Cortex, DesignStart, DynamIQ, Jazelle, Keil, Mali, Mbed, Mbed Enabled, NEON, POP, RealView, SecurCore, Socrates, Thumb, TrustZone, ULINK, ULINK2, ULINK-ME, ULINK-PLUS, ULINKpro,  $\mu$ Vision, Versatile are trademarks or registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere. The related technology may be protected by any or all of patents, copyrights, designs and trade secrets. All rights reserved. Oracle and Java are registered trademarks of Oracle and/or its affiliates. The Power Architecture and Power.org word marks and the Power and Power.org logos and related marks are trademarks and service marks licensed by Power.org.

© NXP B.V. 2019.

All rights reserved.

For more information, please visit: <http://www.nxp.com>

For sales office addresses, please send an email to: [salesaddresses@nxp.com](mailto:salesaddresses@nxp.com)

Date of release: September 2019

Document identifier: AN12564

